

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

003913475

WPI Acc No: 1984-059019/198410

MOS transistor logic circuit - has capacitors composed of MOS elements

NoAbstract Dwg 1,2,3/14

Patent Assignee: TOKYO SHIBAURA DENKI KK (TOKE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|-------------|------|----------|-------------|------|----------|----------|
| JP 59016424 | A | 19840127 | JP 82125334 | A | 19820719 | 198410 B |

Priority Applications (No Type Date): JP 82125334 A 19820719

Patent Details:

| Patent No | Kind | Lan Pg | Main IPC | Filing Notes |
|-------------|------|--------|----------|--------------|
| JP 59016424 | A | 14 | | |

Title Terms: MOS; TRANSISTOR; LOGIC; CIRCUIT; CAPACITOR; COMPOSE; MOS;

ELEMENT; NOABSTRACT

Derwent Class: U13; U21

International Patent Class (Additional): H03K-019/09

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

01304824 **Image available**

SEMICONDUCTOR CIRCUIT

PUB. NO.: 59-016424 [JP 59016424 A]

PUBLISHED: January 27, 1984 (19840127)

INVENTOR(s): KONISHI SATOSHI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 57-125334 [JP 82125334]

FILED: July 19, 1982 (19820719)

INTL CLASS: [3] H03K-019/094

JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits)

JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 243, Vol. 08, No. 99, Pg. 72, May 10,
1984 (19840510)

ABSTRACT

PURPOSE: To attain the rapid boosting of a bootstrap node, by boosting a gate voltage of a transistor(TR) transmitting an input signal to the bootstrap node attended with the leading of the input signal.

CONSTITUTION: A voltage of VDD-VTE is applied normally to a gate of a TRQEB with a TRQEU. The TRQEB is inverted and coupled with an input V(sub in) through a gate capacitance of the TRQEB or a capacitor CB', and the leading voltage of the input V(sub in) is formed so as to boost a gate voltage V(sub b) of the TRQEB with the capacitor coupling. The voltage V(sub b) is boosted higher than a power supply voltage VDD at the same time with the leading of the input V(sub in), and a bootstrap node voltage V(sub s) is boosted rapidly with the input V(sub in).

?

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭59—16424

⑫ Int. Cl.³
H 03 K 19/094

識別記号

庁内整理番号
6832—5 J

⑬ 公開 昭和59年(1984)1月27日

発明の数 2
審査請求 未請求

(全 9 頁)

⑭ 半導体回路

京芝浦電気株式会社トランジスタ工場内

⑮ 特 願 昭57—125334

⑯ 出 願 人 東京芝浦電気株式会社

⑰ 出 願 昭57(1982)7月19日

川崎市幸区堀川町72番地

⑱ 発 明 者 小西 頼

⑲ 代 理 人 弁理士 鈴江武彦 外2名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

半導体回路

2. 特許請求の範囲

(1) チャネル導電路の一方の電極が第1の電源に接続された第1のMOSトランジスタのチャネル導電路の他方の電極と、チャネル導電路の一方の電極が第2の電源に接続された第2のMOSトランジスタのチャネル導電路の他方の電極とは第1のノードで共通接続され、前記第2のMOSトランジスタのゲートは、チャネル導電路の一方の電極が第2の電源に接続された第3のMOSトランジスタのゲートに共通接続され、このゲートは第1のコンデンサを介して第3のMOSトランジスタのチャネル導電路の他方の電極と第2のノードで接続され、この第2のノードはチャネル導電路の一方の電極が第1の電源に接続された第4のMOSトランジスタのチャネル導電路の他方の電極に接続され、第5、第6のMOSトランジスタで形成されかつ第5のMOS

トランジスタのゲートに入力信号が印加されるインバータの出力となる第3のノードは第1、第4のMOSトランジスタのゲートに接続され、前記インバータの入力は第7のMOSトランジスタのチャネル導電路を介して第2、第3のMOSトランジスタのゲートに接続され、第7のMOSトランジスタのゲートは第8のMOSトランジスタのチャネル導電路の一方の電極に接続され、第8のMOSトランジスタのチャネル導電路の他方の電極とゲートは第2の電源に接続されたことを特徴とする半導体回路。

(2) 前記第7のMOSトランジスタのチャネル導電路の前記入力信号側の電極とゲート間には第2のコンデンサが配置されていることを特徴とする特許請求の範囲第1項に記載の半導体回路。

(3) 前記第1、第2のコンデンサはMOSキャパシタにより構成されていることを特徴とする特許請求の範囲第2項に記載の半導体回路。

(4) 前記第2、第3のMOSトランジスタのゲ

ートが共通接続されたノードは第9のMOSトランジスタを介して第1の電源に接続され、第9のMOSトランジスタのゲートは第3のノードに接続されていることを特徴とする特許請求の範囲第1項に記載の半導体回路。

(5) 前記第2、第3のMOSトランジスタのゲートが共通接続されたノードは第9のMOSトランジスタのチャネル導電路を介して第1の電源に接続され、第9のMOSトランジスタのゲートは前記入力信号とは別の入力信号源に接続されていることを特徴とする特許請求の範囲第1項に記載の半導体回路。

(6) 前記第2、第3のMOSトランジスタのしきい値電圧の絶対値は前記第1、第4、第5、第7、第8のMOSトランジスタのしきい値電圧以下であることを特徴とする特許請求の範囲第1項に記載の半導体回路。

(7) 前記第6のMOSトランジスタのしきい値電圧は、前記第2の電源電圧が第1の電源電圧より高い時には第1、第4、第5、第7、第8

のMOSトランジスタのしきい値電圧以下であり、第2の電源電圧が第1の電源電圧より低い時には第1、第4、第5、第7、第8のMOSトランジスタのしきい値電圧以上であることを特徴とする特許請求の範囲第1項に記載の半導体回路。

(8) 前記第9のMOSトランジスタのしきい値電圧は第1、第4、第5、第7、第8のMOSトランジスタのしきい値電圧と略等しいことを特徴とする特許請求の範囲第1項に記載の半導体回路。

(9) チャネル導電路の一方の電極が第1の電源に接続された第1のMOSトランジスタのチャネル導電路の他方の電極と、チャネル導電路の一方の電極が第2の電源に接続された第2のMOSトランジスタのチャネル導電路の他方の電極とは第1のノードで共通接続され、前記第2のMOSトランジスタのゲートは、チャネル導電路の一方の電極が第2の電源に接続された第3のMOSトランジスタのゲートに共通接続され、このゲートは第1のコンデンサを介して第3の

MOSトランジスタのチャネル導電路の他方の電極と第2のノードで接続され、この第2のノードはチャネル導電路の一方の電極が第1の電源に接続された第4のMOSトランジスタのチャネル導電路の他方の電極に接続され、第5、第6のMOSトランジスタで形成されかつ第5のMOSトランジスタのゲートに入力信号が印加されるインバータの出力となる第3のノードは第1、第4のMOSトランジスタのゲートに接続され、前記インバータの入力は第7のMOSトランジスタのチャネル導電路を介して第2、第3のMOSトランジスタのゲートに接続され、前記第7のMOSトランジスタのゲートは、ゲートが第2の電源に接続された第10のMOSトランジスタのチャネル導電路を介して第3のノードに接続されたことを特徴とする半導体回路。

(10) 前記第7のMOSトランジスタのチャネル導電路の前記入力信号側の電極とゲート間には第2のコンデンサが配置されていることを特徴とする特許請求の範囲第9項に記載の半導体回

路。

(11) 前記第1、第2のコンデンサはMOSキャパシタにより構成されていることを特徴とする特許請求の範囲第10項に記載の半導体回路。

(12) 前記第2、第3のMOSトランジスタのゲートが共通接続されたノードは第9のMOSトランジスタを介して第1の電源に接続され、第9のMOSトランジスタのゲートは第3のノードに接続されていることを特徴とする特許請求の範囲第9項に記載の半導体回路。

(13) 前記第2、第3のMOSトランジスタのゲートが共通接続されたノードは第9のMOSトランジスタのチャネル導電路を介して第1の電源に接続され、第9のMOSトランジスタのゲートは前記入力信号とは別の入力信号源に接続されていることを特徴とする特許請求の範囲第9項に記載の半導体回路。

(14) 前記第2、第3のMOSトランジスタのしきい値電圧の絶対値は前記第1、第4、第5、第7、第10のMOSトランジスタのしきい値電

圧以下であることを特徴とする特許請求の範囲第9項に記載の半導体回路。

(15) 前記第6のMOSトランジスタのしきい値電圧は、前記第2の電源電圧が第1の電源電圧より高い時には第1、第4、第5、第7、第10のMOSトランジスタのしきい値電圧以下であり、第2の電源電圧が第1の電源電圧より低い時には第1、第4、第5、第7、第10のMOSトランジスタのしきい値電圧以上であることを特徴とする特許請求の範囲第9項に記載の半導体回路。

(16) 前記第9のMOSトランジスタのしきい値電圧は第1、第4、第5、第7、第10のMOSトランジスタのしきい値電圧と略等しいことを特徴とする特許請求の範囲第9項に記載の半導体回路。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明はブートストラップ回路を用いたスタティック出力回路に適する半導体回路に関する。

る出力コンダクタンスを上げるために、そのゲートには電源電圧 V_{DD} より高い電圧を印加して、負荷 MOS トランジスタ Q_{1d} が3極管動作をするようにしてある。即ちコンデンサ C_s とトランジスタ Q_{1g} とにより、ブートストラップ電位を発生し、それを出力側の負荷 MOS トランジスタ Q_{1d} のゲートに印加する回路形式である。

第1図の回路動作は第4図に示してある。即ち入力 V_{in} が電源（接地） V_{ss} から V_{DD} レベルへ立ち上がると、それによってデプレッション型（D型）トランジスタ Q_D とエンハンスメント型（E型）トランジスタ Q_E とによるインバータの出力は、第4図(a)の電圧 V_a のように立ち下がる。一方その電圧を V_c と表わしたブートストラップノードには、トランジスタ Q_{E1} を介して入力 V_{in} が供給され、それによりブートストラップ電圧 V_c が上がるとトランジスタ Q_{1g} が導通し、トランジスタ Q_{1g} により V_d のノードは昇圧され、それがブートストラップ用コンデンサ C_s を介してブートストラップノードを昇圧し、その電圧

〔発明の技術的背景及びその問題点〕

レシオ型の MOS トランジスタ回路においては、エンハンスメント型、しきい値電圧が零 V 付近のイントリンシック型或いは通常オン状態のデプレッション型 MOS トランジスタを負荷トランジスタとし、これをエンハンスメント型 MOS トランジスタで駆動する回路形式をとっている。このものは駆動回路が導通状態の場合は、一方電源から負荷トランジスタと駆動トランジスタを介して他方電源に至る直流電流経路が生じ、これがレシオ型 MOS トランジスタ回路の消費電流の大きな部分を占めている。そこで出力回路或いは大きな負荷容量を駆動する回路に用いられる大きなコンダクタンスをもつ MOS トランジスタ部分では、消費電流を大きくしないためにレシオレス型の回路型式としている。そのため負荷 MOS トランジスタにはデプレッション型を避け、イントリンシック型トランジスタが一般に用いられている。この回路形式では、第1図に示すように負荷 MOS トランジスタ Q_{1d} によ

V_c により出力回路の負荷 MOS トランジスタ Q_{1d} が駆動され、第4図(c)のように出力 V_{out} にハイレベルが出力される。一方、出力の立ち下がりは、入力 V_{in} が立ち下がりが V_{ss} 電位になると、トランジスタ Q_{E1} を介してブートストラップノード V_c は V_{ss} 電位となり、出力の負荷トランジスタ Q_{1d} は遮断状態となり、更にトランジスタ Q_D 、 Q_E によるインバータの出力 V_a は立ち上がり、出力の駆動トランジスタ Q_{E1} は導通状態となって、出力 V_{out} は V_{ss} 電位へ立ち下がる。

さて第1図のブートストラップ出力回路において、立ち上がり時間を決める要点は、入力 V_{in} によりブートストラップノード電圧 V_c を充電する速度である。即ち入力 V_{in} によりトランジスタ Q_{E1} を介して V_c を少し昇圧するとトランジスタ Q_{1g} が導通し、 V_d とともに V_c はブートストラップ動作により昇圧されて行く。この V_c の昇圧期間中にも V_c が " $V_{DD} - V_{T1}$ " (V_{T1} は E 型 MOS トランジスタ Q_{E1} のしきい値電圧) になるまでは、トランジスタ Q_{E1} は導通しており、

そのため入力 V_{in} はトランジスタ Q_{eg} を介して V_c を昇圧する。この V_c の最終的な昇圧電位は、 V_d の昇圧による $(V_{DD} - V_{th}) C_g / C_T$ (C_T はブートストラップノードの全電気容量) と、入力 V_{in} による V_c の最初の昇圧電位と、 V_c の昇圧中の " $V_{DD} - V_{th}$ " にいたるまでの昇圧電位分との和である。上記一連の動作から分るように、トランジスタ Q_{ig} により V_d が昇圧されるより急速に V_{in} によって V_c を昇圧してやれば、 V_c の最終的な昇圧電位は高くなり、それによって出力負荷 MOS トランジスタ Q_{fd} のゲート電圧が高くなり、高速の立ち上がり動作をさせることができる。この観点から見ると、従来回路においては入力 V_{in} により急速に V_c を昇圧しようとしても、トランジスタ Q_{eg} のゲート電圧が V_{DD} であるので、 V_{in} が立ち上がり V_{DD} 電位となっても、 V_c にはその電位よりトランジスタ Q_{eg} のしきい値電圧 V_{th} 分だけ低下した電位にしか昇圧されない。しかもトランジスタ Q_{eg} のゲート電圧が V_{DD} 電位のままであることは、 V_{in} の立ち上が

りに対してトランジスタ Q_{eg} のコンダクタンスは次第に低下してゆくことを意味し、これはブートストラップ動作を高めるためには急速に V_c を V_{in} に昇圧することが必要であるということに反しており、その結果高速の立ち上がり出力を得るのは難しくなっていた。

〔発明の目的〕

本発明は上記実情に鑑みてなされたもので、入力信号による急速なブートストラップノードの昇圧を可能とし、これにより高速の立ち上がり出力が得られる半導体回路を提供しようとするものである。

〔発明の概要〕

本発明は上記目的を達成するため、入力信号の立ち上がりとともに該入力信号をブートストラップノードに伝送するトランジスタのゲート電圧を昇圧するようにして上記トランジスタを3極管動作させることにより、従来例のようなトランジスタ Q_{eg} のしきい値電圧降下を生じず、かつ上記トランジスタのコンダクタンス

を上げることにより、急速なブートストラップノードの昇圧を可能とするものである。

〔発明の実施例〕

以下図面を参照して本発明の一実施例を説明する。第2図は同実施例を示すものであるが、これは第1図のものと対応させた場合の例であるから、対応個所には同一符号を用いる。即ちソースが電源 V_{ss} (接地) に接続されたE型トランジスタ Q_{ed} のドレインと、ドレインが電源 V_{DD} に接続されたイントリンシック型(I型)トランジスタ Q_{id} のドレインは V_{out} の出力端で共通接続され、トランジスタ Q_{id} のゲートは、ドレインが電源 V_{DD} に接続されたI型トランジスタ Q_{ig} のゲートに共通接続され、該ゲートはコンデンサ C_g を介してトランジスタ Q_{ig} のソースに接続される。該トランジスタ Q_{ig} のソースはE型トランジスタ Q_{eg} のドレインとソースを介して接地され、該トランジスタ Q_{eg} のゲートはトランジスタ Q_{ed} のゲートと共通接続される。D型トランジスタ Q_{od} とE型トランジスタ Q_{ed} で形

成されるインバータの出力端はトランジスタ Q_{eg} 、 Q_{ed} のゲートに接続され、上記インバータの入力端つまりトランジスタ Q_{eg} のゲートは入力信号 V_{in} の入力端に接続され、該入力端はE型トランジスタ Q_{eg} のドレイン、ソースを介してトランジスタ Q_{ig} のゲートつまりブートストラップノードに接続される。トランジスタ Q_{eg} のゲートはE型トランジスタ Q_{ed} のソースに接続され、該トランジスタ Q_{ed} のゲートとドレインは電源 V_{DD} に接続される。トランジスタ Q_{eg} のゲートとドレイン間にはコンデンサ C_g が配設されるが、このコンデンサ C_g は入力信号 V_{in} の立ち上がり時にトランジスタ Q_{eg} のゲート電圧を昇圧するためのもので、トランジスタ Q_{eg} のゲートノードの浮遊容量が Q_{eg} のゲート容量に比べて小さければ、上記コンデンサ C_g はあえて必要とせず、 Q_{eg} のゲート容量でゲート電圧を充分に昇圧することができる。

第2図の回路にあっては、トランジスタ Q_{eg} のゲートにはトランジスタ Q_{ed} により " V_{DD}

$-V_{Tn}$ の電圧が常時印加され、従ってトランジスタ Q_{ss} は反転状態にあり、かつ入力 V_{in} とはコンデンサ C'_s 或いはトランジスタ Q_{ss} のゲート容量により結合され、それによって入力 V_{in} の立ち上がり電圧は、コンデンサ結合によりトランジスタ Q_{ss} のゲート電圧 V_b を昇圧するよう構成されている。この回路構成により、第5図に示すように入力 V_{in} が立ち上がると、同時に電圧 V_b は電源電圧 V_{DD} より高く昇圧されてそのためブートストラップノード電圧 V_c は入力 V_{in} により従来例に比して急速に昇圧される。このブートストラップノードの入力 V_{in} による初期昇圧電位には、トランジスタ Q_{ss} が3極間動作するため従来回路に見られたトランジスタ Q_{ss} のしきい値電圧降下もなければ、入力 V_{in} の立ち上がりとともにソース、ゲート間の電位差が小さくなることによるトランジスタ Q_{ss} のコンダクタンスの低下も少なく、従って入力 V_{in} による V_c の昇圧は速くなり、出力 V_{out} の立ち上がりも速くなる。一方、入力 V_{in} の立ち下がり時は、

V_{in} にいたる電流経路が生じそのため V_c が下がり気味になる弱点もあった。そこで第3図では、入力 V_{in} の立ち上がりによりブートストラップノード電圧 V_c を昇圧した後はトランジスタ Q_{ss} のゲート電圧 V_b を下げ、ブートストラップ動作の開始とともに始まる V_c の昇圧において、トランジスタ Q_{ss} を遮断状態としてブートストラップノードから入力 V_{in} への電流経路を断ち、以ってブートストラップ電圧 V_c を高め、ブートストラップ動作の効果を高めてトランジスタ Q_{id} による出力 V_{out} と高速化したものである。

第3図において立ち上がり動作は、入力 V_{in} が立ち上がってもトランジスタ Q_D 、 Q_s によるインバータ出力はしばらくは高い電圧レベルにあり、従って V_b にはトランジスタ Q_{sc} による電源電圧のしきい値電圧降下電位 " $V_{DD} - V_{Tn}$ " がD型トランジスタ Q_D を介して印加されており、さらにトランジスタ Q_{ss} は反転状態を保っている。そのためトランジスタ Q_{ss} のゲート容量、更にはトランジスタ Q_{ss} のゲートとドレイン間

トランジスタ Q_{ss} を介して V_c は V_{ss} 電位となってトランジスタ Q_{id} は遮断状態となり、更にトランジスタ Q_D 、 Q_s によるインバータ出力電圧 V_s は立ち上がって、トランジスタ Q_{sd} を導通として出力 V_{out} を立ち下がらせるものである。

第3図は本発明の他の実施例の回路図である。この回路の構成の特徴は、トランジスタ Q_{ss} のゲートとトランジスタ Q_D 、 Q_s によるインバータの出力端との間にE型トランジスタ Q_{sc} を介挿し、そのゲートには電源 V_{DD} を印加したものである。

ところで第2図の回路では、入力 V_{in} の立ち上がりによりトランジスタ Q_{ss} のゲート電圧 V_b はかなり昇圧され、最終的にはトランジスタ Q_{ss} のしきい値電圧分だけ低い電圧即ち " $V_{DD} - V_{Tn}$ " とトランジスタ Q_{ss} のゲート容量を介した入力 V_{in} による昇圧電位の和にまでなりこの電位は " $V_{DD} + V_{Tn}$ " より高く Q_{ss} は常時導通の状態にあり、従ってブートストラップノード電位 V_c には、トランジスタ Q_{ss} を介して入力

を接続したコンデンサ C'_s とにより、入力 V_{in} の立ち上がり信号はトランジスタ Q_{ss} のゲート電圧 V_b を高め、入力 V_{in} の立ち上がりにより急速にブートストラップノード V_c を昇圧する。そしてトランジスタ Q_{ig} が導通状態となり、ブートストラップ動作が開始される時分になると、トランジスタ Q_D 、 Q_s のインバータ出力は立ち下がり、それによって V_b 電位も立ち下がり、トランジスタ Q_{ss} のドレイン電位である V_{in} が電源 V_{DD} であるため V_b 電位が " $V_{DD} + V_{Tn}$ " 以下となるとトランジスタ Q_{ss} は遮断状態となり、ブートストラップノードからトランジスタ Q_{ss} を介して入力 V_{in} に至る電流経路はなくなり、ブートストラップノード電位 V_c は充分昇圧され、以ってブートストラップ動作を高めてトランジスタ Q_{id} による出力 V_{out} を高速化したものである。第6図はこの動作を示す電圧波形図である。なお、コンデンサ C'_s は、第2図に示した発明例と同様にトランジスタ Q_{ss} のゲートノードの浮遊容量が Q_{ss} のゲート容量に比べて小さければ

C'_s はあえて必要ではなく、トランジスタ Q_{ss} のゲートで代用することができる。

以上の実施例では負荷トランジスタとしては、D型トランジスタとI型トランジスタの2種を用いたが、これを単一化して全ての負荷トランジスタをI型とすることもできる。第7図、第8図は、第2図、第3図の回路の負荷トランジスタを全てI型としたものである。更に駆動トランジスタも負荷トランジスタも全てE型とすることもでき、第9図、第10図はその例を示している。

ところで第2図、第3図の回路の出力 V_{out} の立ち下がりに関しては、入力 V_{in} が立ち下がるとトランジスタ Q_D 、 Q_E によるインバータが反転して駆動トランジスタ Q_{Ed} のゲート電圧 V_g が上がって、トランジスタ Q_{Ed} を導通することによって行なわれるが、このとき電圧 V_c がまた高い電位にあるとトランジスタ Q_{Id} も導通状態にあり、その期間トランジスタ Q_{Id} と Q_{Ed} とはレジオ型の回路となり、電源 V_{DD} から V_{ss} へトラ

ンジスタ Q_{Id} 、 Q_{Ed} を介して無駄な電流が流れると共に出力 V_{out} の立ち下がり速度が遅くなる。そこで第11図、第12図は第2図、第3図のブートストラップ電圧 V_c を、入力 V_{in} が立ち下がり V_g が立ち上がるとただちに V_c が放電されて V_{ss} 電位へ立ち下がるように、トランジスタ Q_{Ed} 、 Q_{Eg} 、 Q_E 、 Q_{Es} 、 Q_{Eu} 、 Q_{Ec} と同じE型トランジスタ Q_{El} を設けた回路である。勿論この電圧 V_c の放電は、電圧 V_g が立ち上がるのに先だって行なわれた方がよく、そのためにトランジスタ Q_{El} のゲートを他の外部信号 V'_{in} によって制御してもよい。第13図、第14図はその例を示している。

前記実施例の効果を調べるために第1図ないし第3図の回路を構成し、入力信号の立ち上がりに対する出力の立ち上がりの遅延時間を調べた。即ち入力 V_{in} が電源 V_{DD} の90%の電位になった時点から出力 V_{out} が同じく V_{DD} の90%の電位になるまでの時間を調べたところ、第2図、第3図の場合はトランジスタ Q_{Eu} 、 Q_{Ec} の

大きさには余り影響されず、第1図にくらべて遅延時間は $1/14 \sim 1/3$ と短くなった。

なお本発明は上記実施例のみに限られず種々の応用が可能である。例えば本発明はNチャネル型トランジスタ回路のみでなくPチャネル回路にも適用できる。また本発明回路を集積回路化する場合にはコンデンサ C_s 、 C'_s はMOSキャパシタにより構成してもよい。

〔発明の効果〕

以上説明した如く本発明によれば、ブートストラップ動作を行なうノードを高速に昇圧するようにしたため、高速の立ち上がり出力回路が得られる半導体回路が提供できるものである。

4. 図面の簡単な説明

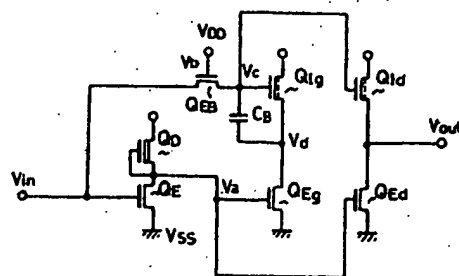
第1図は従来の半導体回路図、第2図、第3図は本発明の実施例の回路図、第4図ないし第6図は第1図ないし第3図の回路動作を示す電圧波形図、第7図ないし第14図は本発明の他の実施例の回路図である。

Q_{Id} 、 Q_{Ed} 、 Q_{Ig} 、 Q_{Eg} 、 Q_D 、 Q_E 、 Q_{Es} 、 Q_{Eu} …

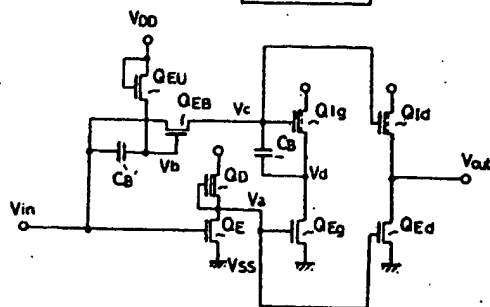
MOSトランジスタ、 C_s 、 C'_s … コンデンサ。

出願人代理人 弁理士 鈴 江 武 彦

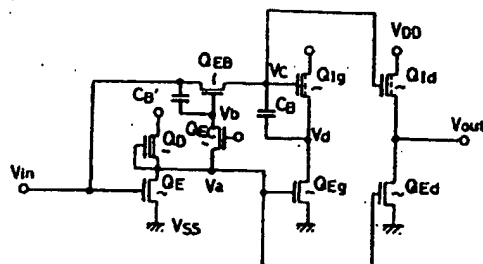
第 1 図



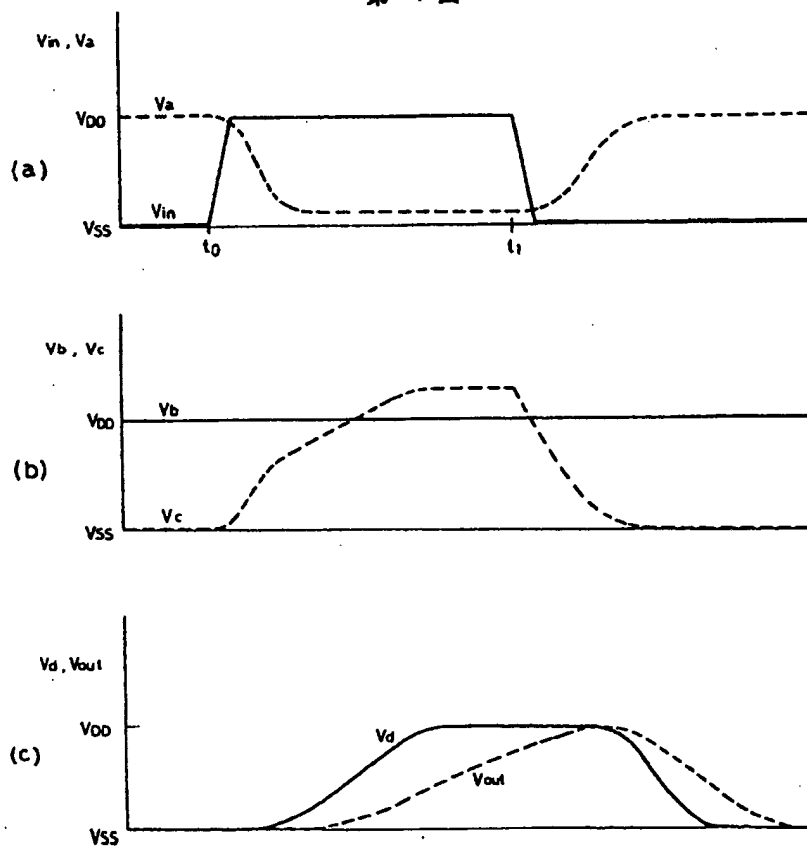
第 2 図



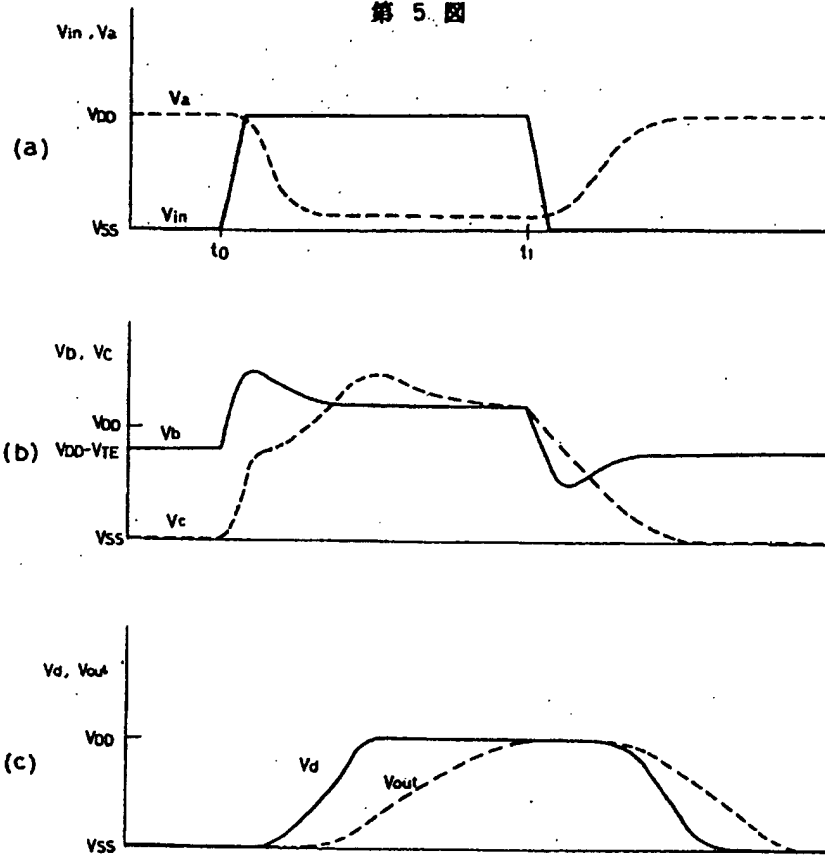
第 3 図



第 4 図



第 5 圖



第 6 圖

